

Chapter 10
Internal Memory

الذاكرة الداخلية

Semiconductor Memory
ذاكرة اشباه الموصلات

(Random Access Memory) RAM

- ✓ تصنع من اشباه الموصلات (**semiconductor**)
- ✓ القراءة والكتابة (**Read/Write**)
- ✓ البيانات متطايرة إي يتم حذف البيانات عند إطفاء الجهاز (**Volatile**)
- ✓ التخزين مؤقت (**Temporary storage**)
- ✓ **Static or dynamic**

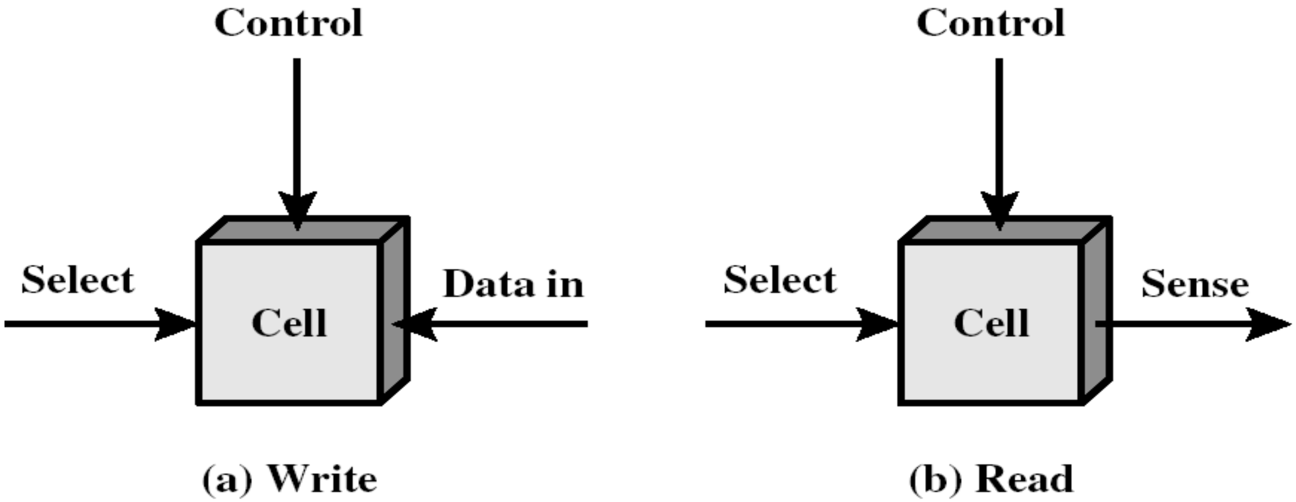
Memory Cell Operation
عمل خلية الذاكرة

عملية الكتابة (Write)

يتم تحديث الخلية **(Cell)** ويأتي امر **Control** للكتابة ثم يتم إدخال البيانات إلي هذه الخلية.

عملية القراءة(Read)

يتم تحديد الخلية ويأتي أمر **Control** للقراءة ويتم أخذ البيانات الموجودة فيها.



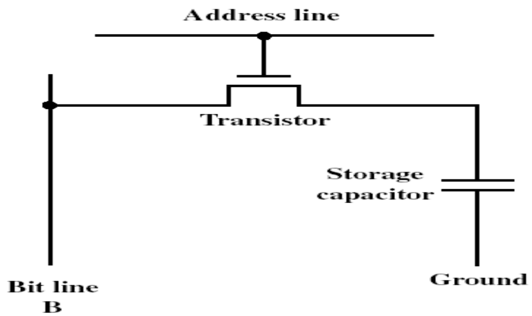
Dr: ramzi elghanuni_Lecture-10

Dynamic RAM
ذاكرة الوصول العشوائي (متفاعلة /متغيرة)

- يتم تخزين **Bits** علي شكل شحنات في **capacitors** أو الموسعات.
- يكون هناك تسريب للشحنات بالتالي نحتاج إلى تحديث دائما إلي هذه الشحنات على **capacitors** حتي لانقوم بفقدها.
- تكون الدائرة بسيطة يمكن بنائها بسهولة.
- لا تحتاج إلي الكثير من المكونات.
- تركيبها بسيط.
- رخيصة الثمن.
- تحتاج إلي **Refresh Circuits**.
- بطيئة.
- مثال عليها **Main memory**
- تكون الاشارات تماثلية (**analogue**).

Dynamic RAM Structure

البنية النموذجية لخلية الذاكرة



(a) Dynamic RAM (DRAM) cell

- الترانزستور يقوم بإدخال الشحنات.
- **Capacitors** يقوم بعملية حفظ لهذه الشحنات.
- **Bit Line** يحمل الشحنات.

في حالة عملية الكتابة

- **Bit Line** يحمل الشحنة سواء **1** أو **0**.
- يتم تفعيل **Address Line** وبالتالي الترانزستور يعمل كمفتاح يتم إدخال هذه الشحنة الي **Capacitors** ويتم الاحتفاظ بالشحنة سواء كانت **1** أو **0**.

في حالة عملية القراءة

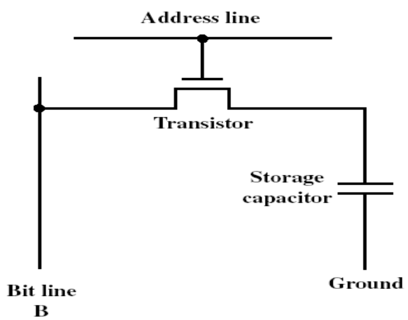
- يتم تفعيل **Address Line** وبالتالي يتم تفعيل الترانزستور.
- يتم أخذ الشحنة الموجودة في **Capacitors** إلي **Bit Line** ثم يتم مقارنتها من خلال **Reference** للمعرفة هل هذه الشحنة تمثل **Bit 0** أو **Bit 1**.

Dr. ramzielghanuni_Lecture-10

DRAM Operation
تلخيص عملية DRAM

Address Line يكون مفعل في عملية القراءة والكتابة وبالتالي الترانزستور يعمل كمفتاح مغلق.

<u>**في عملية الكتابة**</u>



(a) Dynamic RAM (DRAM) cell

- يتم تمثيل **Voltage** على **Bit Line**.
  - إذا نريد أن نخزن **1** يكون **High** وإذا نريد أن نخزن **0 Low**
- **Address Line** يكون مفعل.
- ويتم نقل الشحنة الي **Capacitors**.

<u>**في عملية القراءة**</u>

- **Address Line** مفعل.
- الترانزستور يعمل.
- الشحنة تنتقل من **Capacitors** من خلال الترانزستور إلي **Bit Line** ويتم مقارنة من خلال المرجع ويتم تحديث هل هي **0** أو **1** وفي الحالتين يجب أن يكون هناك تفعيل أو تحديث مستمر حتي نحافظ على الشحنة الموجودة في **Capacitors**.

Static RAM
ذاكرة الوصول العشوائي (ثابتة)

- يتم تخزين **Bits** على مفاتيح on/off switches يتم استخدم مفاتيح لتخزين الشحنات.
- لا تحتاج Refresh Circuits لا نه لا يوجد تسريب للشحنات.
- الدارة معقدة.
- **Larger per bit**
- غالية.
- أسرع .
- ومثال عليها Cache Memory.
- الاشارات رقمية (Digital)

- وبالتالي نستخدم flip-flops

Dr. ramzi elghanuni_Lecture-10

Stating RAM Structure
البنية النموذجية لخلية الذاكرة (ثابتة)

تتكون من (T1,T2,T3,T4,T5,T6).

Address Line يكون على T5,T6.

Bit Line B على T5 و**Bit Line B’** على T6.

<u>الحالة الاولى</u>

إذا كانت 1= **Bit Line B** يكون 0 = **Bit Line B’** والعكس صحيح.

T5,T6 يتم التحكم فيهم من خلال **Address Line** ومن خلال عمليتي القراءة والكتابة.

في حالة كانت القيمة على 1= **Bit Line B** سوف يكون T5 مفعل بالتالي سوف تكون قيمة C1=1 وسوف تكون قيمة C2=0 لان القيمة القادمة من **Bit Line B’**=**0**.

بالتالي B=1 (High) و C2=0 بما ان C1=1 رح يكون T2=1 شاغل او متصل ايضا يكون T4=1 ويكون عندنا **B’** وبالتالي T4 =0 غير شاغل C2=0 بالتالي T1=0 بتالي غير شاغل أو منفصل على T3=0 وعندنا **B’** يكون على T3=1 بتالي يكون شاغل أويعمل وبالتالي T2=1 شاغل ويعمل

Dr. ramzi_ghanouni_Lecture10

Stating RAM Structure
البنية النموذجية لخلية الذاكرة (ثابتة)

الحالة الثانية

Bit Line B = 0

C1=0 (Low)

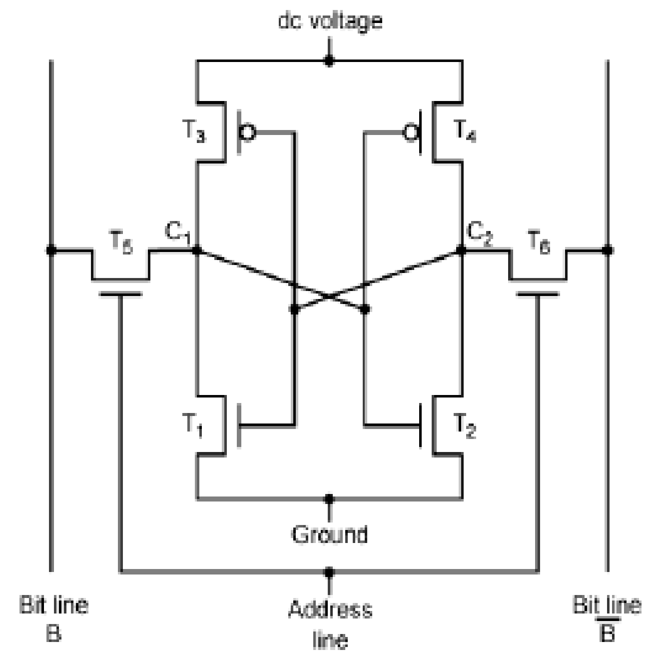
C2=1 (High)

بما أن C1=0 سوف تكون قيمة T2 = 0 وبتالي منفصل أو لا يعمل ، T4 = 0 , **Bit Line B’** = 1 يعمل متصل.

C2=1 بتالي T1 شاغل وT3 غير شاغل أو لا يعمل .

Dr. ramzi elghanuni Lecture-10

Static RAM Operation
تلخيص عملية SRAM



State 1

On Bit Line 1

C1 high, C2 low

T1 T4 off, T2 T3 on

State 0

On Bit Line

C2 high, C1 low

T2 T3 off, T1 T4 on

يكون **Address Line** بفعل يتحكم في T5 و T6 كـ switch

في عملية الكتابة (Write) يتم تطبيق value على B وCompliment على B’

عملية القراءة تكون Value موجودة على Bit line B

SRAM v DRAM
الفرق بين الذاكرة الثابتة والمتغيرة

كليهما متطاير(volatile) يعني في حالة إطفاء الجهاز ستفقد جميع البيانات.

DRAM

- بنائها بسيط.
- رخيصة الثمن.
- تحتاج إلى **Refresh Circuits**.
- يمكن استخدام كمية أو حجم بيانات كبيرة بما إنها رخيصة الثمن.
- **Main Memory**.

SRAM

- معقدة البناء.
- غالية الثمن.
- لا تحتاج إلى **Refresh Circuits** .
- تكون أسرع.
- **Cache Memory**.

Read Only Memory (ROM)
ذاكرة القراءة فقط

- الذاكرة لا تفقد بياناتها بعد إطفاء تشغيل الجهاز.
- يمكن برمجتها وتبرمج خلال التصنيع.
- يخزن عليها عادة برامج النظام أو (BIOS) بحيث ترشد الجهاز إلي المكان الذي يبدا فيه تشغيل الجهاز.

Types of ROM

أنواع ذاكرة القراءة فقط

- Written during manufacture

الكتابة خلال التصنيع تكون غالية الثمن.

- Programmable (once) PROM

تبرمج مرة واحدة وهي قابلة للبرمجة ولكن للمرة واحدة وتحتاج إلى مكونات خاصة.

- (Read mostly) ذاكرة القراءة غالبا

تنقسم إلى ثلاثة أنواع:

- Erasable Programmable (EPROM)

قابلة للبرمجة والمسح عن طريق الاشعة فوق البنفسجية.

- Electrically Erasable (EEPROM)

قابلة للمسح والبرمجة كهربائي.

- Flash memory

الذاكرة الفلاش (الوميضية) وتمسح أيضا كهربائي وبشكل كامل.

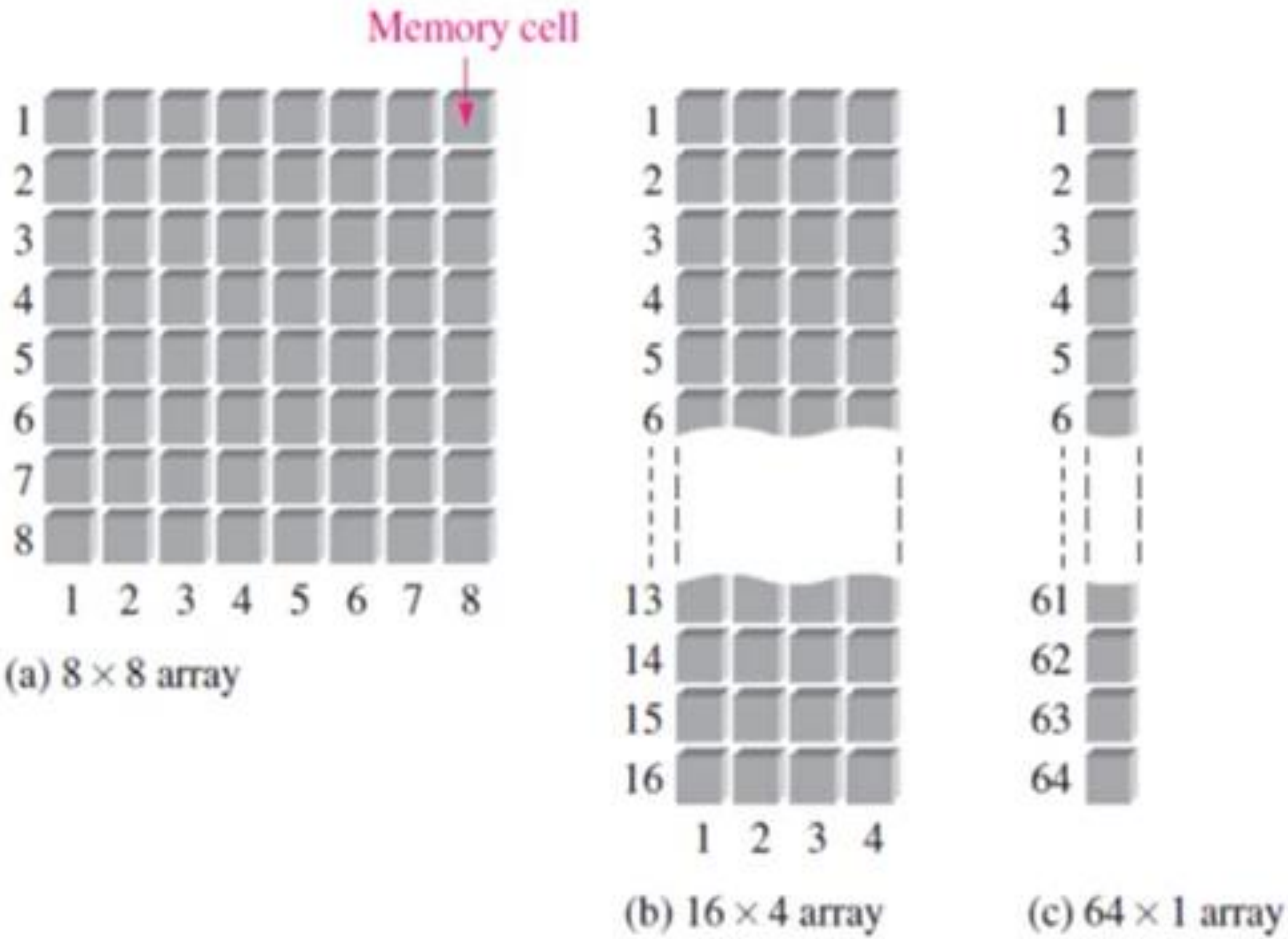
Dr. Ramzi elghanami_Lecture 10

Semiconductor Memory Types

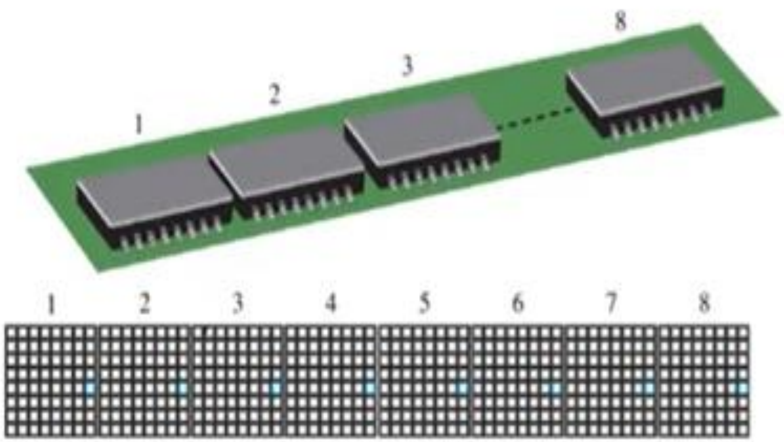
أنواع الذاكرة الإلكترونية (اشباه الموصلات)

<table>
<tr><th>Memory Type</th><th>Category</th><th>Erasure</th><th>Write Mechanism</th><th>Volatility</th></tr>
<tr><td>Random-access memory (RAM)</td><td>Read-write memory</td><td>Electrically, byte-level</td><td>Electrically</td><td>Volatile</td></tr>
<tr><td>Read-only memory (ROM)</td><td rowspan="2">Read-only memory</td><td rowspan="2">Not possible</td><td>Masks</td><td rowspan="5">Nonvolatile</td></tr>
<tr><td>Programmable ROM (PROM)</td><td rowspan="4">Electrically</td></tr>
<tr><td>Erasable PROM (EPROM)</td><td rowspan="3">Read-mostly memory</td><td>UV light, chip-level</td></tr>
<tr><td>Electrically Erasable PROM (EEPROM)</td><td>Electrically, byte-level</td></tr>
<tr><td>Flash memory</td><td>Electrically, block-level</td></tr>
</table>

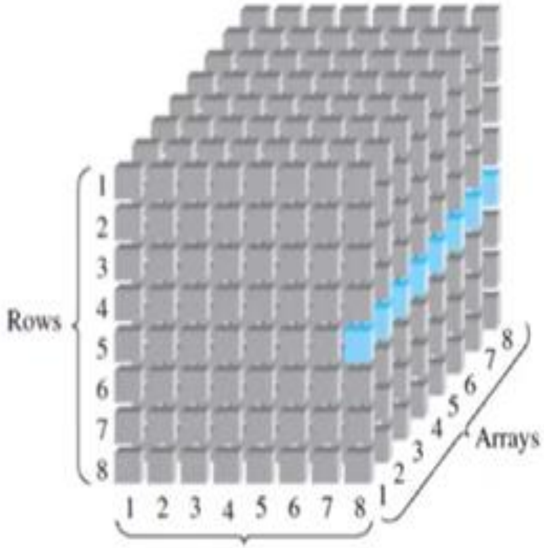
Organization



- The **expansion** of the 8 × 8 (64-bit) array to a **64-byte** memory.
- The **address** of a byte in the array is specified by the **row** and **column**



(a) The 8 × 8 bit array expanded to a 64 × 8 bit array. This array forms a memory module.



(b) The address of the blue byte is row 5, column 8.

Organization in Detail

التنظيم بالتفصيل

عملية التنظيم لذواكر **RAM** يوجد لدينا ذاكرة حجمها **16Mbit** يمكن تنظيمها **1M** في **16Bit for word**.

كل موقع تخزيني عبارة عن **16 bit (2 Byte)** في **1M** من **Address** أفضل من **16Mbit**.

16Mbit عبارة عن 2^{24} كل عنوان عبارة عن **bit** لكن يمكن تنظيمها.

2048 x 2048 x 4bit array

بمعني اخر $2^{11} * 2^{11} * 2^{2}$ يمثل الصفوف **(row) * (column)** الاعمدة كـ **Array** في **4Bit** بمعني اخرى يوجد لدينا **4** ذواكر.

كل ذاكرة عبارة عن **4M** بدل أن يكون لدينا ذاكرة واحدة من **16M** يكون لدينا **4** ذواكر في **4M**.

Dr. ramzi elghanuni_Lecture-10

Refreshing
التنشيط

- جميع DRAM تتطلب عملية تنشيط.
- تستغرق بعض الوقت.
- بطئ في الاداء.
- خلال التنشيط تتم قراءة البيانات وإعادة كتابتها في نفس الموقع.
- يتم تنشيط كل خلية في الصف .
- هناك تقنية بسيطة للتنشيط هي، في الواقع تعطيل شريحة DRAM في حين يتم تنشيط البيانات في كل الخلايا.

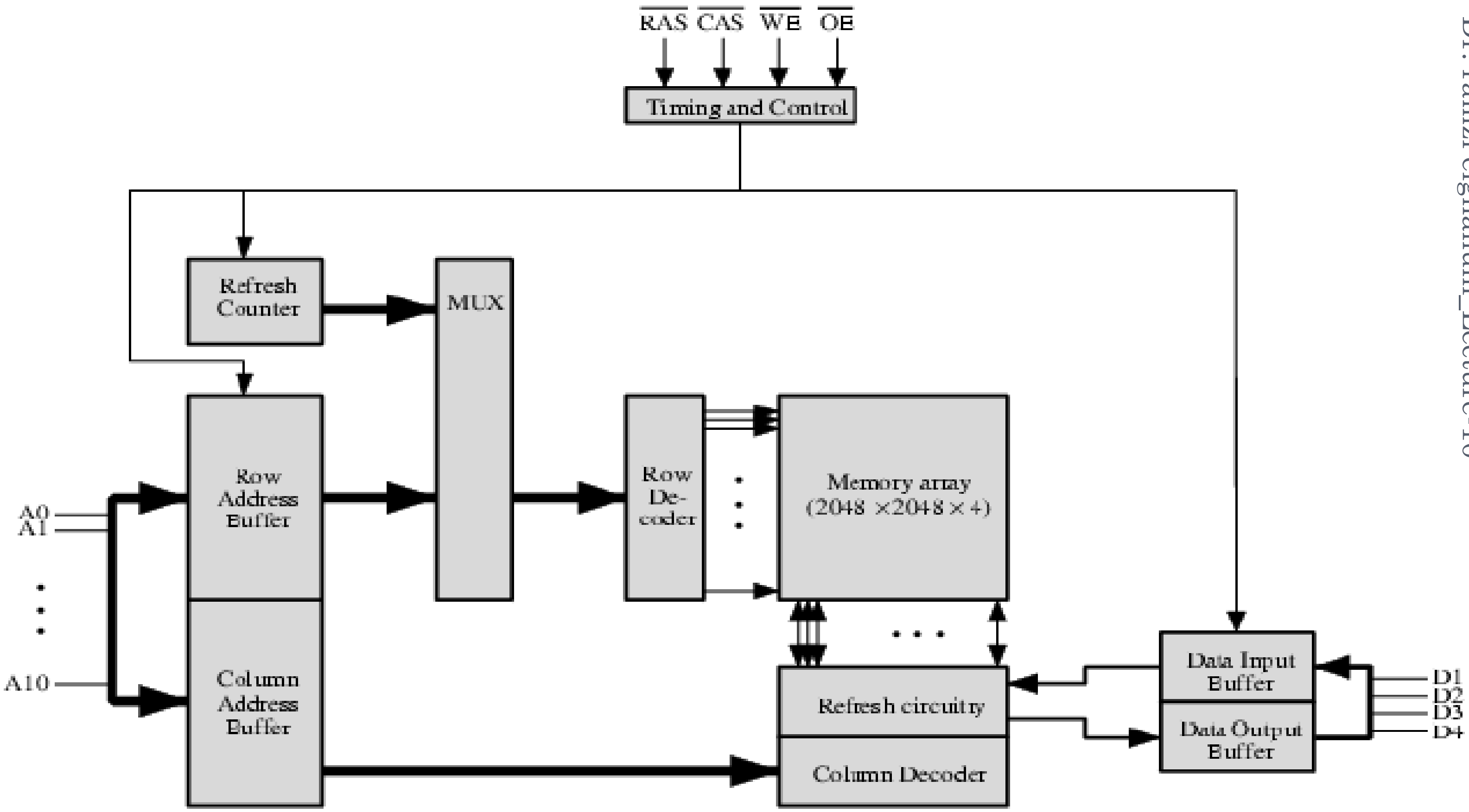
Dr. ramzi elghanuni_Lecture-10

Typical 16 Mb DRAM (4M x 4)

التنظيم النموذجي الى 16ميغابت DRAM(4M X 4)

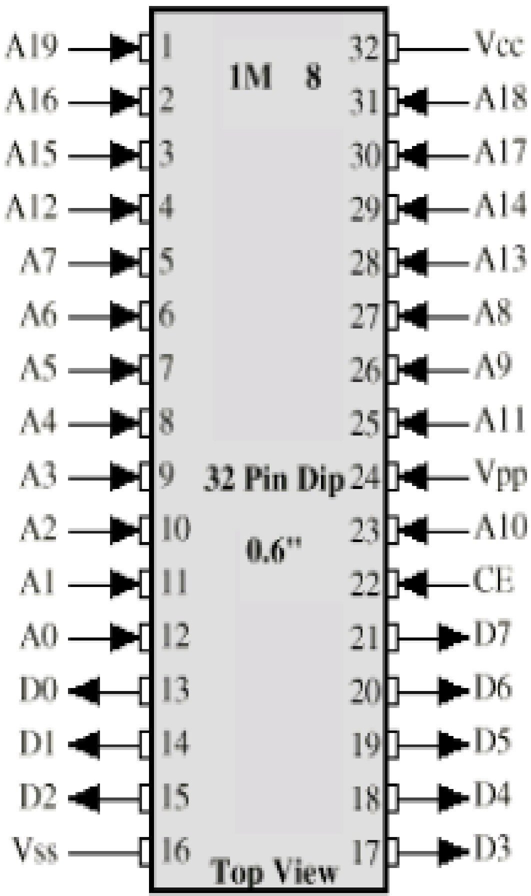
Memory Array (2048 X 2048 X4) عبارة عن ذاكرة.

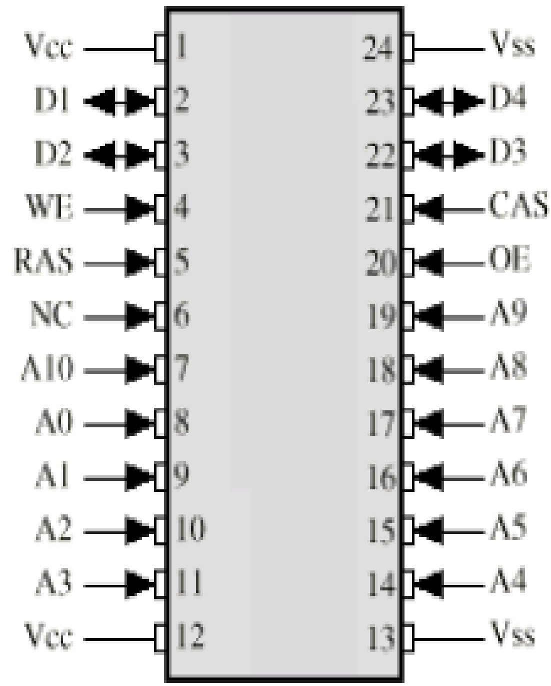
هنا توضح لنا كدائرة كاملة للعملية للذاكرة فهي دائرة تفعيل أو Refresh Circuitry



Packaging

تغليف الشريحة





256kByte Module Organization

في حالة **Organization Module** يوجد لدينا **256Kbit/word** الاهي 2^{18} لكل **Chip**

نحن نريد عملية تقسيم **RAM** الي مجموعة من **Chip** كل **Chip** عبارة عن **256K**

256k 2^{18} بالتالي نحن نحتاج الي 18 بت **System Address** تم تقسيمها **18Bit** الي قسمين **9bit,9bit**.

الان **256k** الا هي عبارة عن **512*512** نلاحظ **9bit** تأتي على **Decode** يعطي **512** صف و **9bit** ثانية للأعمدة الثانية لـ **Decode** بتعطي 512 عمود بتعطي 512 * 512 وهو **256k**

2^9 2^9 2^{18} **= 256**

لكل **Chip** تعطيني **1bit** عندنا مجموع **8bit** لكل **Word**

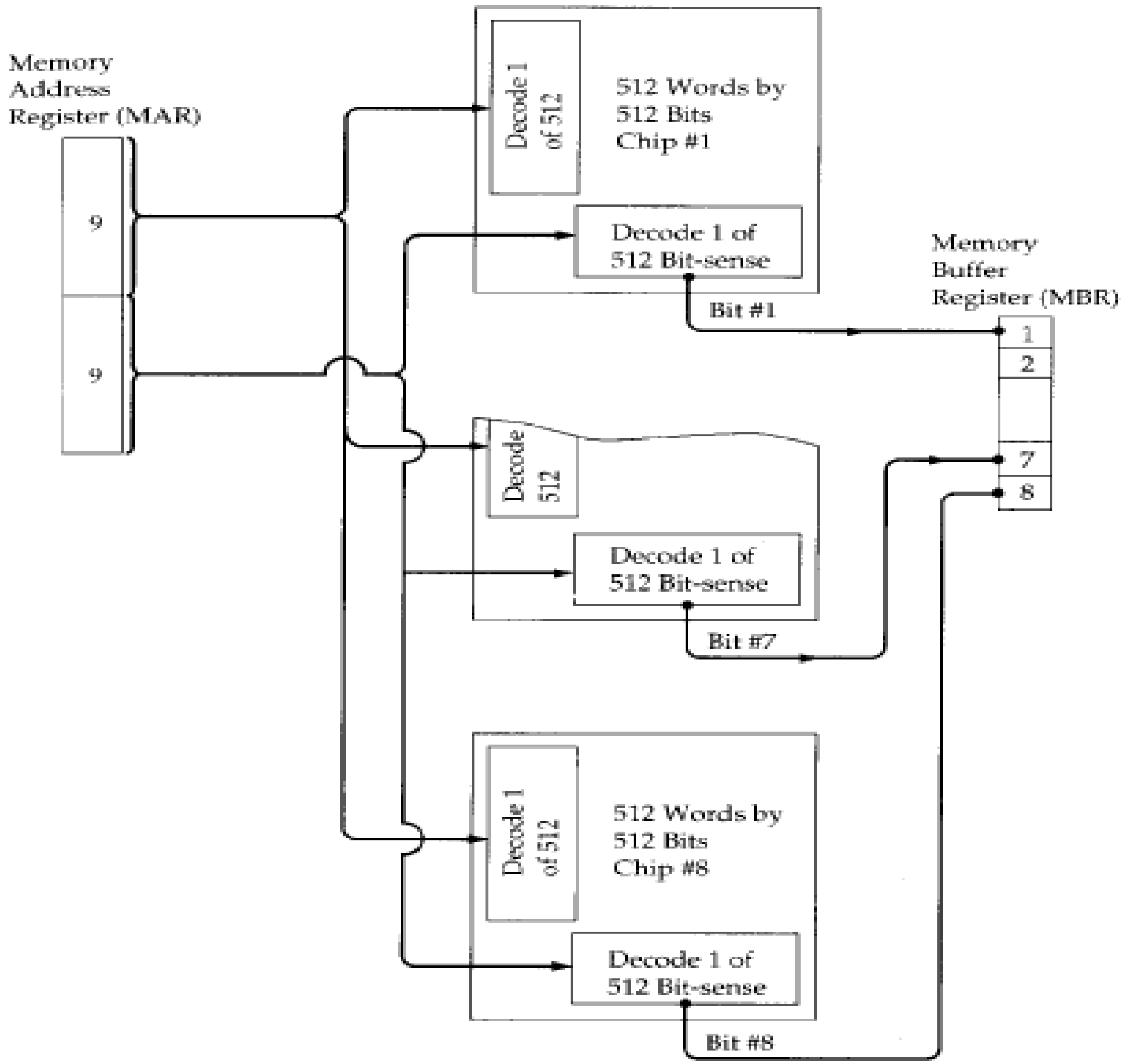
نحتاج لكل عمود الى **8 Chip** من **Chip 1** حتى **Chip 8**

كل **Chip** تعطي **one bit** فـ **MBR** بتعطي **8bit**

MBR تحتوى علي البيانات التي نريد قراءتها او كتابتها.

Dr. ramzi elghanuni_Lecture-18

256kByte Module Organization



Interleaved Memory
الذاكرة المتداخلة

مجموعة من (**DRAM chips**).

مجمعة في بنك الذاكرة (**memory bank**).

Banks خدمة بشكل مستقل قراءة او كتابة الطلب.

K Banks يمكن أن يطلب خدمة في وقت واحد.

Error Correction
تصحيح الأخطاء

في عملية نقل أو تخزين البيانات ممكن أن يحدث أخطأ.

أنواع الخطأ نوعين:

Hard Failure

إما فشل قوي في النظام إما يؤدي إلى عيب دائم أو يؤدي إلى أن الجهاز يعلق عن العمل ويتم إطفائه وبتالي يتم فقد جميع البيانات.

Soft Error

خطا ناعم أو بسيط هناك خطا عشوائي غير مدمر للنظام بيتم تغير بعض **Bits** أو زيادة **Bits** وعادة يتم إصلاحها من خلال طريقة **Hamming Code**

Dr.ramzi elghanmi_Lecture10

Error Correcting Code Function

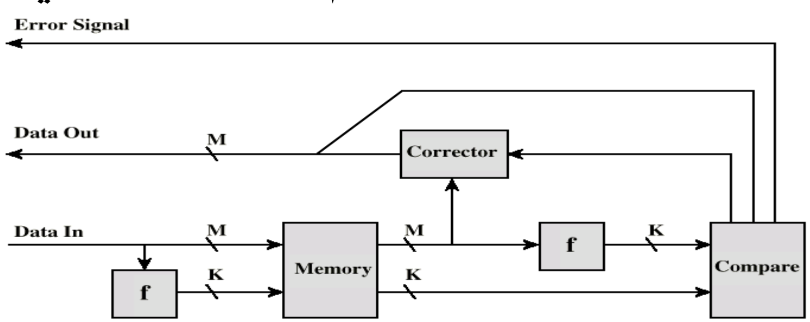
دالة شفرة تصحيح الخطاء

من خلال **Function** يتم الكشف عن **Error** عندنا **Data Input** يتم تخزينها في **Memory**

نفس البيانات يتم إدخالها على **Function** هذا **Function** أو الاقتران يقوم بفحص هذه البيانات و يصدر **K** من البت ويتم تخزين **K** في ذاكرة.

ثم يتم أخد الـ **K** الا تم تخزينها في الذاكرة إلى المقارنة ويتم إدخال البيانات التي خزنها في الذاكرة إلي نفس الاقتران ويتم أخد منه **K** اخري بتالي يصبح عندنا **K1** تم تخزينه في الذاكرة و **K2** الناتج من البيانات بعد تخزينها في الذاكرة.

- إذا كانت النتيجة 1معنها هناك خطا بتالي يتم تصحيح الخطأ الموجود ويتم نقل أو إخراج هذه البيانات.
- أما إذا كانت نتيجة المقارنة 0فبتالي تكون البيانات صحيحة ويتم إخراجها وفي حالة الخطأ يتم إرسال **Error signal**.



Dr.Ramzi alghanuni Lecture-10

Advanced DRAM Organization
تنظيم (DRAM)المتقدم

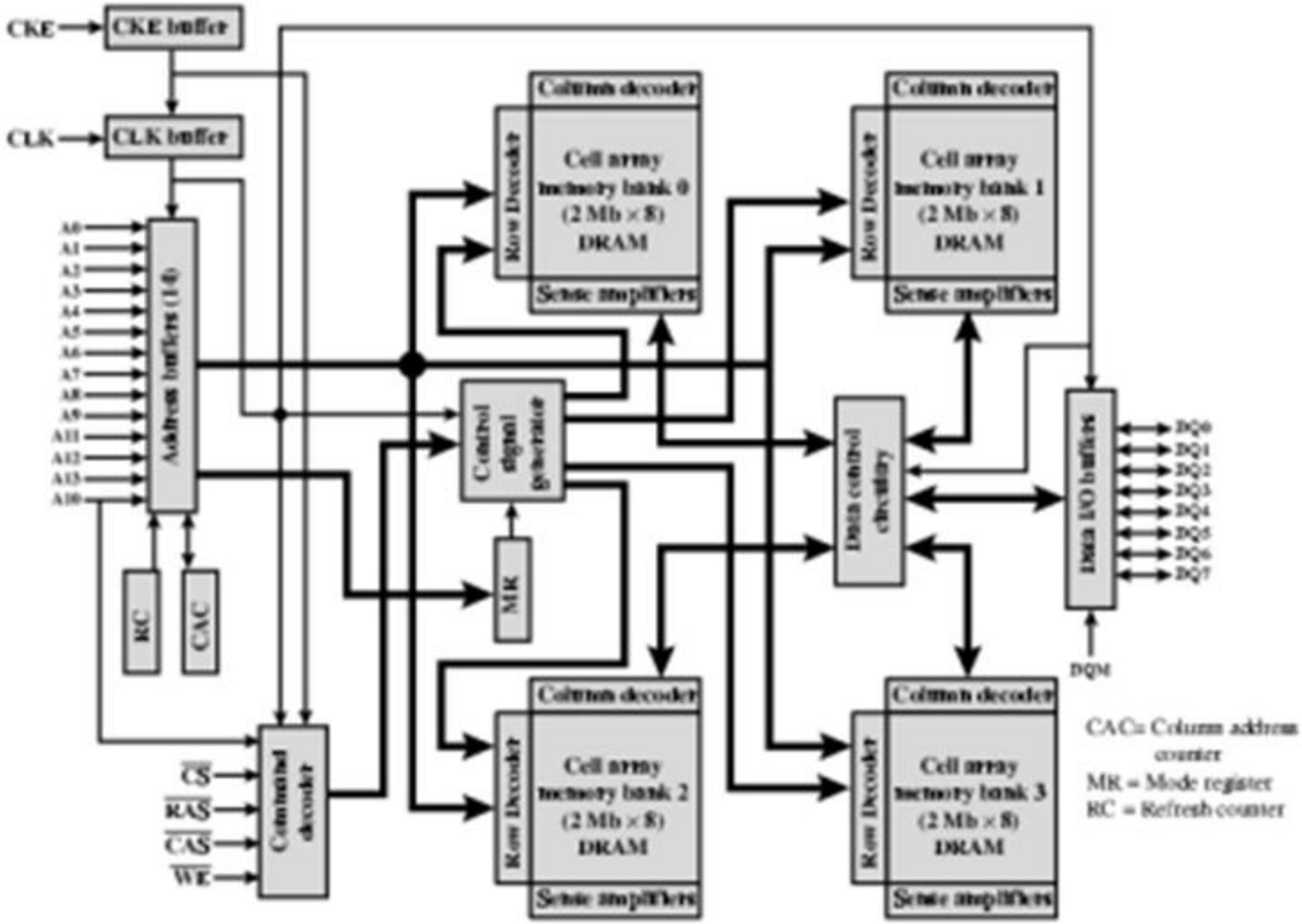
- تحتاج الى **Refresh Circuits** دائما.
- مثال عليها **Main Memory**.
- تكون كبيرة الحجم في التخزين, لكنها بطيئة.
- إضافة تحسينات عليها بإدخال **Static RAM** عليها كجزء صغير فمن حيث نحافظ على كمية البيانات الكبيرة التي من الممكن تخزينها لكن تزيد سرعة هذه الذاكرة.

Synchronous DRAM (SDRAM)
(SDRAM) DRAM المتزامنة

- تتبادل البيانات مع المعالج بالتزامن مع إشارة ساعة خارجية.
- عنوان يقدم الي RAM.
- RAM يجد البيانات (وحدة المعالجة المركزية ينتظر في DRAMالتقليدية)
- SDRAM تنقل البيانات في الوقت المناسب مع ساعة النظام، وحدة المعالجة المركزية تعرف عندما تكون البيانات ستكون جاهزة
- يمكن للمعالج بأمان ان ينجز مهام أخرى اثناء قيام (SDRAM) بمعالجة الطلب.
- **DDR-SDRAM** يرسل البيانات مرتين في كل دورة على مدار الساعة (مرة على حافة ارتفاع نبض الساعة ومرة على حافة السقوط).
- تستخدم SDRAM وضع الاندفاع لإلغاء زمن إعداد العنوان وزمن اعادة شحن خط الصف والعمود بعد الوصول الأول.

Dr. ramzi elghanuni_Lecture-10

SDRAM

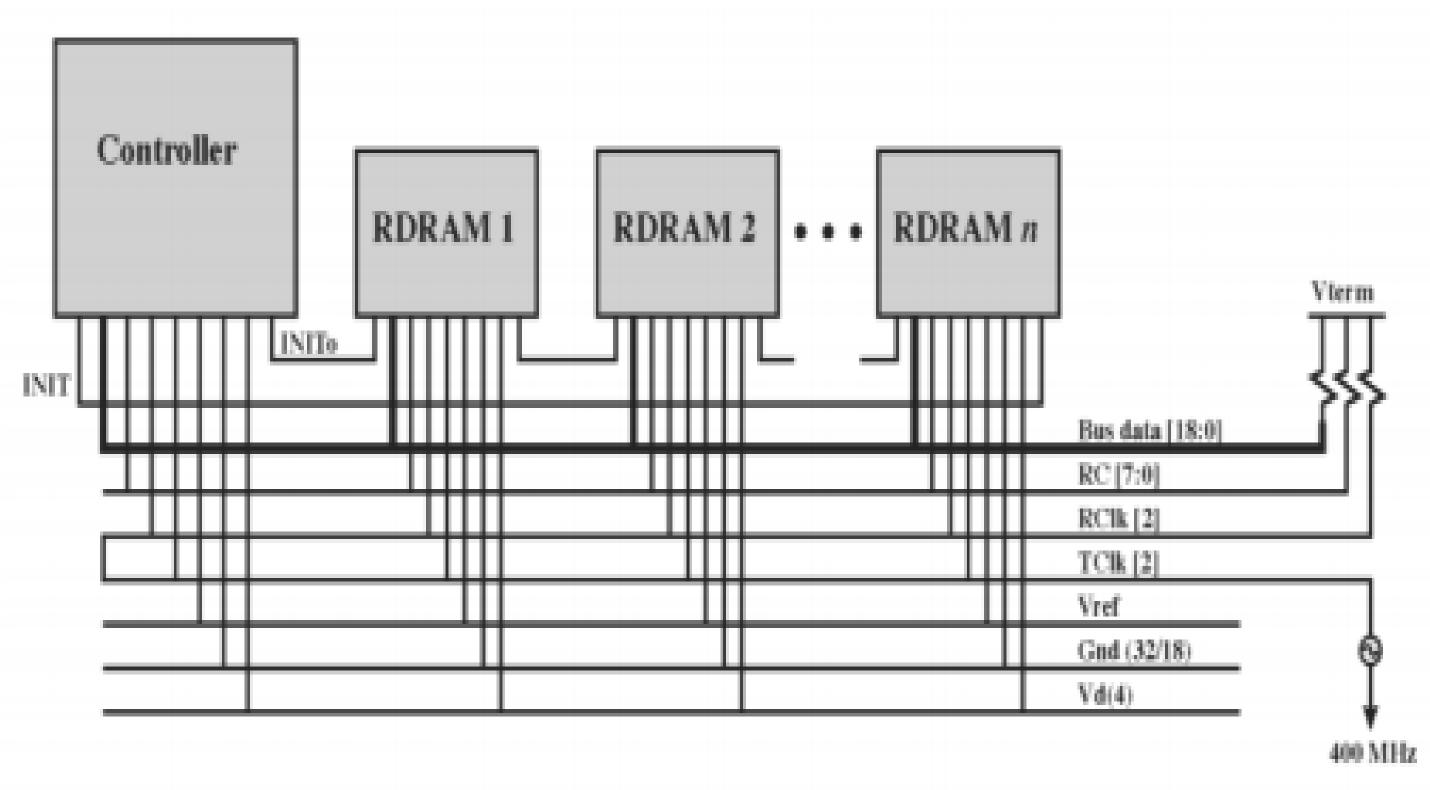

CKE
CKE buffer
CLK
CLK buffer
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A11
A12
A13
A10
Address buffers (14)
RC
CAC
CS
RAS
CAS
WE
Command decoder
Control signal generator
MR
Column decoder
Row Decoder
Cell array memory bank 0 (2 Mb × 8) DRAM
Sense amplifiers
Cell array memory bank 1 (2 Mb × 8) DRAM
Cell array memory bank 2 (2 Mb × 8) DRAM
Cell array memory bank 3 (2 Mb × 8) DRAM
Data control circuitry
Data I/O buffers
DQ0
DQ1
DQ2
DQ3
DQ4
DQ5
DQ6
DQ7
DQM
CAC = Column address counter
MR = Mode register
RC = Refresh counter

RAMBUS

- اعتمدت من قبل شركة انتل في معالجات البنتيوم و إيتانيوم (Pentium & Itanium).
- المنافس الرئيسي إلى (SDRAM).
- شرائح (RDRAM) مغلفة رأسيا ، مع جميع المسامير على جانب واحد .
- الشريحة تتبادل البيانات مع المعالج عبر 28 سلك لايتجاوز طولها 12سنتيمترا.
- يمكن للناقل أن يتواصل مع عدد من (RDRAM) تصل إلي 320 شريحة و بسرعة 1.6 جيجابايت في الثانية.
- ناقل خاص (RDRAM) يسلم العنوان ومعلومات التحكم باستخدام بروتوكول غير متزامن.
- زمن الوصول (access time) 480ns.

Dr. ramzi elghanuni_Lecture-10

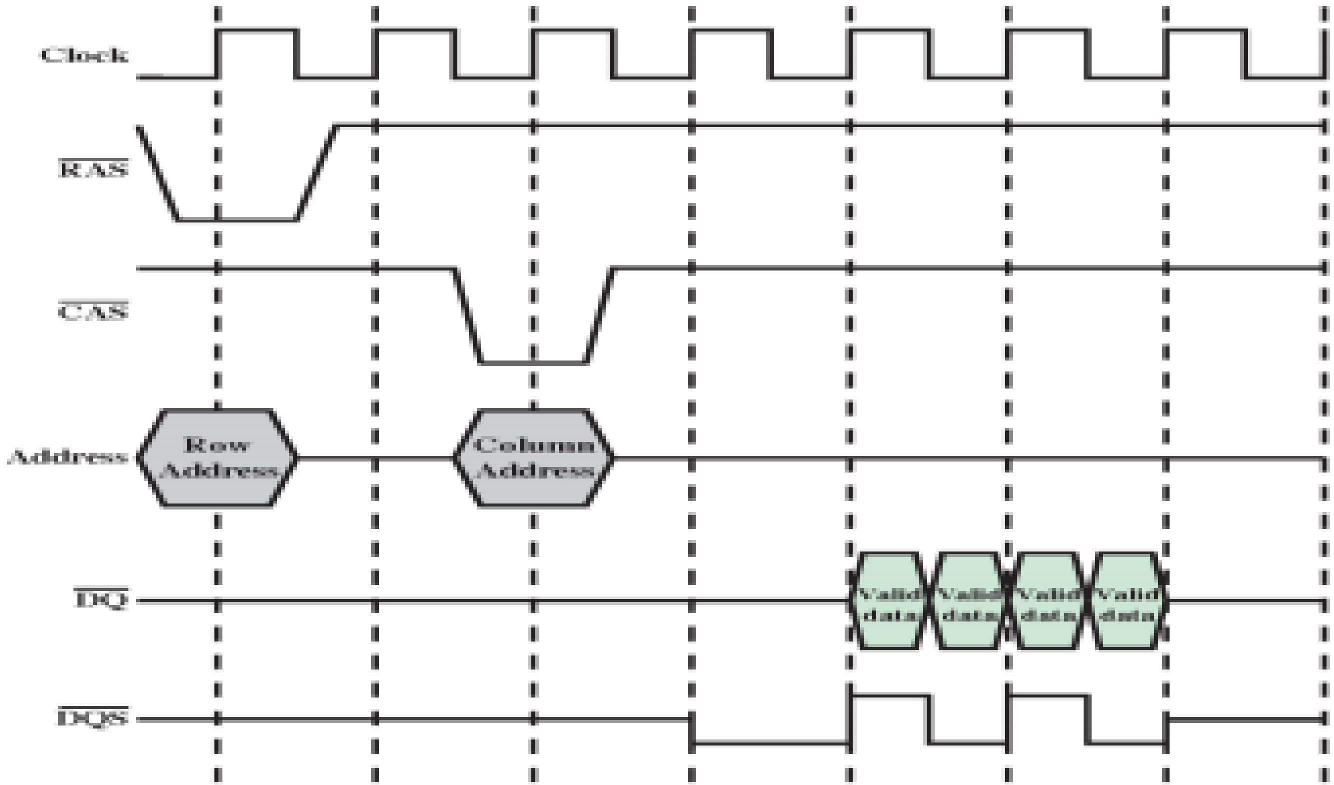
RAMBUS Diagram (RDRAM) بنية



DDR SDRAM

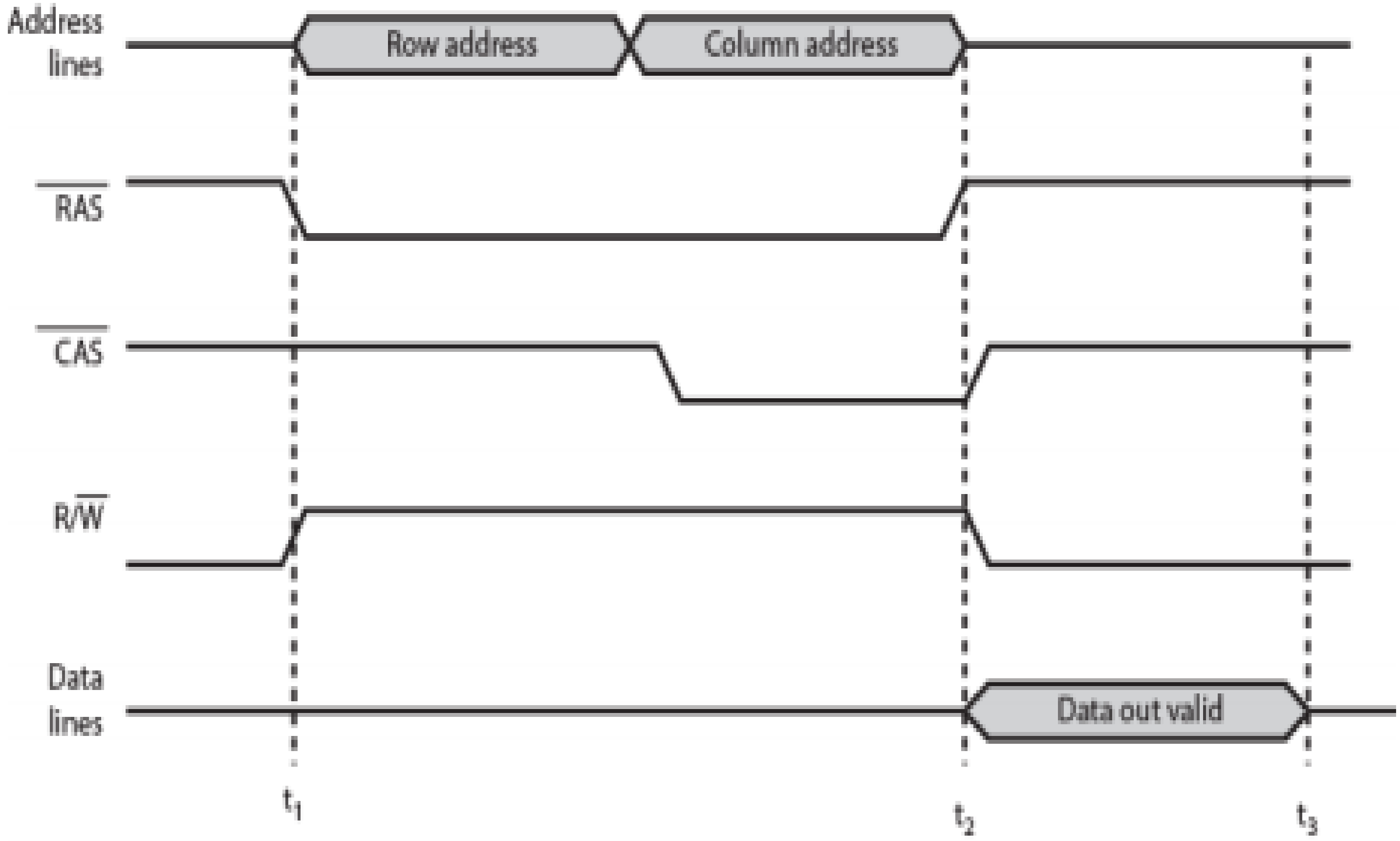
- ❖ SDRAM يمكن إرسال البيانات إلى المعالج مرة واحدة لكل دورة ساعة الناقل.
- ❖ الاصدار الجديد من (SDRAM) يشار اليها (SDRAM) بمعدل بيانات مضاعف بإمكانها إرسال البيانات مرتين في كل دورة ساعة.
- ❖ مرة على حافة ارتفاع نبض الساعة ومرة على حافة السقوط.

DDR SDRAM Read Timing
(DDR SDRAM) تزامن قراءة



RAS = row address select
CAS = column address select
DQ = data (in or out)
DQS = DQ select

Simplified DRAM Read Timing



Cache DRAM
الذاكرة السريعة (DRAM)

- ميتسوبيشي (**Mitsubishi**)
- تدمج (SRAM) سريعة (16 كيلو خانة) على شريحة (DRAM).
- يمكن استخدام (SRAM) على (CDRAM) بطريقتين:
- استخدامها على انها ذاكرة سريعة حقيقية (Used as true cache).
- تتكون من عدد 64 خانة خطوط .
- الوضع فعال للوصول العشوائي العادي إلى الذاكرة .
- تستخدم كمخزن مؤقت لدعم وصول التسلسلي لكتل من البيانات.
- على سبيل المثال ، لتحديث خانات بيانات شاشة.
- يمكن أن (CDRAM) تجلب مسبقا البيانات من (DRAM)الى مخزن مؤقت (SRAM).

Dr. ramzi elghanuni_Lecture-10